

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-369754

(43)Date of publication of application : 22.12.1992

---

(51)Int.Cl. G06F 13/28  
G11B 20/10

---

(21)Application number : 03-173075 (71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 18.06.1991 (72)Inventor : IIZUKA NORIO

---

(54) DIGITAL RECORDER

(57)Abstract:

PURPOSE: To supply input/output digital signal data of sound input/output devices to CPU managing a DMA controller without affecting the operation of the DMA controller.

CONSTITUTION: When the DMA controller (data transfer means) 10 executes the transfer of digital sound data between the sound input/output devices (signal input/output means) from 8-1 to 8-3, and buffers from 9-1 to 9-3, an interface device 20 temporarily stores digital sound data which is inputted/outputted to and from the sound input/output devices from 8-1 to 8-3, and supplies digital sound data to CPU 1 (central processing unit) when a read command is issued from the CPU 1.

---

-----  
LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-369754

(43) 公開日 平成4年(1992)12月22日

(51) Int.Cl.<sup>5</sup>

G 0 6 F 13/28

G 1 1 B 20/10

識別記号

3 1 0 J

庁内整理番号

7052-5B

D 7923-5D

FI

技術表示箇所

審査請求 未請求 請求項の数2(全22頁)

(21) 出願番号 特願平3-173075

(22) 出願日 平成3年(1991)6月18日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 飯塚 宜男

東京都西多摩郡羽村町可栄町3丁目2番1号

カシオ計算機株式会社羽村技術センター

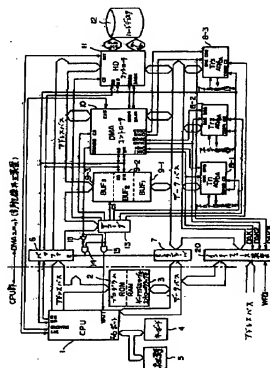
内

(54) 【発明の名称】 デジタルレコーダ

(57) 【要約】

【目的】 音声入出力装置の入出力デジタル信号データを、DMAコントローラの動作に影響を与えることなく、DMAコントローラを管理するCPUに供給する。

【構成】 インターフェース装置20は、DMAコントローラ(データ転送手段)10が音声入出力装置(信号入出力手段)8-1乃至8-3とバッファ9-1乃至9-3との間のデジタル音声データの転送を実行しているときに、音声入出力装置8-1乃至8-3に入出力されるデジタル音声データを一時記憶し、中央処理装置1から読取指令が発せられたときにデジタル音声データをCPU1(中央処理手段)に供給する。



1

## 【特許請求の範囲】

【請求項1】 信号の入出力動作を行う信号入出力手段と、前記信号入出力手段とデジタル信号データを転送可能であって、前記デジタル信号データを一時的に記憶可能なバッファ手段と、前記バッファ手段と前記デジタル信号データを転送可能であって、前記デジタル信号データを書き込みおよび読出し可能な外部記憶手段と、前記信号入出力手段と前記バッファ手段との間のデジタル信号データの転送を実行するデータ転送手段と、前記データ転送手段を管理する中央処理手段と、前記データ転送手段が前記信号入出力手段と前記バッファ手段との間のデジタル信号データの転送を実行しているときに、前記信号入出力手段に入出力されるデジタル信号データを一時的に記憶し、前記中央処理手段から読取指令が出力されたときに、前記一時的に記憶したデジタル信号データを前記中央処理手段に供給するインターフェース手段とを備えることを特徴とするデジタルレコーダ。

【請求項2】 信号の入出力動作を行う信号入出力手段と、前記信号入出力手段とデジタル信号データを転送可能であって、前記デジタル信号データを一時的に記憶可能なバッファ手段と、前記バッファ手段と前記デジタル信号データを転送可能であって、前記デジタル信号データを書き込みおよび読出し可能な外部記憶手段と、前記信号入出力手段と前記バッファ手段との間のデジタル信号データの転送を実行するデータ転送手段と、前記データ転送手段を管理する中央処理手段と、前記データ転送手段が前記信号入出力手段と前記バッファ手段との間のデジタル信号データの転送を実行しているときに、前記信号入出力手段に入出力されるデジタル信号データの最大値を求め一時的に記憶し、前記中央処理手段から読取指令が出力されたときに、前記一時的に記憶したデジタル信号データの最大値を前記中央処理手段に供給するインターフェース手段とを備えることを特徴とするデジタルレコーダ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、音声信号等をデジタルに記録再生、さらにには編集することが可能なデジタルレコーダに関する。

## 【0002】

【従来の技術】 本出願人による特開平2-123788号に開示されているデジタルレコーダにおいては、記録時、音声信号は音声入出力装置に含まれるA/D変換器によりアナログ信号からデジタル信号に変換され、一旦バッファメモリに記憶される。バッファメモリに記憶されたデジタル信号データは、ハードディスクからなる外部記憶装置に転送され、記憶される。一方、音声信号の再生時には、外部記憶装置から読出されたデジタル信号データは一旦バッファメモリに記憶される。そして、バッファメモリに記憶されたデジタル信号データは音声入

2

出力装置に転送され、音声入出力装置に含まれるD/A変換器によりデジタル信号からアナログ信号に変換され、スピーカ等に供給される。

【0003】 音声入出力装置とバッファメモリとの間のデジタル信号データの転送と、バッファメモリと外部記憶装置との間のデジタル信号データの転送とは、ダイレクトメモリアクセス（以下、DMAと略称）コントローラからなるデータ転送手段によって実行される。このデータ転送手段は中央処理装置によって管理される。

## 【0004】

【発明が解決しようとする課題】 上述した従来のデジタルレコーダは、音声入出力装置の入出力デジタル信号データを必要ときに中央処理装置に供給することができなかった。

【0005】 本発明は、音声入出力装置等の信号入出力手段の入出力デジタル信号データを、データ転送手段の動作に影響を与えることなく、必要ときに中央処理装置に供給することのできるデジタルレコーダを提供することを目的とする。

## 【0006】

【課題を解決するための手段】 請求項1に記載のデジタルレコーダは、データ転送手段（実施例においてはDMAコントローラ10）が信号入出力手段（実施例においては音声入出力装置8-1乃至8-3）とバッファ手段（実施例においてはバッファ9-1乃至9-3）との間のデジタル信号データ（実施例においてはデジタル音声信号データ）の転送を実行しているときに、信号入出力手段に入出力されるデジタル信号データを一時的に記憶し、中央処理手段（実施例においてはCPU1）から読取指令が出力されたときに、一時的に記憶したデジタル信号データを中央処理手段に供給するインターフェース手段（実施例においてはインターフェース装置20）を備えることを大きな特徴とする。

【0007】 このインターフェース装置20は、実施例においては、データレジスタ22とアンドゲート23により構成される。

【0008】 また、請求項2に記載のデジタルレコーダは、データ転送手段（実施例においてはDMAコントローラ10）が信号入出力手段（実施例においては音声入出力装置8-1乃至8-3）とバッファ手段（実施例においてはバッファ9-1乃至9-3）との間のデジタル信号データ（実施例においてはデジタル音声信号データ）の転送を実行しているときに、信号入出力手段に入出力されるデジタル信号データの最大値を求め一時的に記憶し、中央処理手段（実施例においてはCPU1）から読取指令が出力されたときに、一時的に記憶したデジタル信号データの最大値を中央処理手段に供給するインターフェース手段（実施例においてはインターフェース装置20）とを備えることを特徴とする。

【0009】 このインターフェース装置20は、実施例

においては、最大値レジスタ24、アンドゲート25、比較器26、ラッチ27により構成される。

#### 【0010】

【作用】請求項1に記載のデジタルレコーダにおいては、実施例との対応で言うと、インターフェース装置20が音声入出力装置8-1乃至8-3に入出力されるデジタル音声信号データを一時記憶し、CPU1からの読取指令に応じて、CPU1にデジタル音声信号データを供給するから、CPU1は必要なときに、例えばリアルタイムでデジタル音声信号データを得ることができる。

また、インターフェース装置20がデジタル音声信号データを獲得（一時記憶）するのは、DMAコントローラ10がデータ転送を実行しているときなので、DMAコントローラ10の動作に影響を与えることはない。

【0011】請求項2に記載のデジタルレコーダにおいては、実施例との対応で述べるならば、インターフェース装置20が音声入出力装置8-1乃至8-3に入出力されるデジタル音声信号データの最大値を求めて一時記憶し、CPU1からの要求（読取指令）に応じてCPU1に供給するから、CPU1はデジタル音声信号データのピーク値を知ることができ、また、例えばCPU1が最大値を求める周期を適当に指定することにより、デジタル音声信号データのエンベロープを求めることができる。

#### 【0012】

【実施例】以下、この発明のデジタルレコーダの好適な実施例を図面を参照して説明する。

【0013】（全体構成）図1は、本発明のデジタルレコーダの一実施例の全体構成を示しており、この実施例においては、同時に3トラックまでの録音、再生動作が出来るようになっている。全体は、図示のとおり、中央処理装置（以下、CPUという）部（図中左側の部分）と、DMAユニット（音声記録再生処理装置）（図中右側の部分）とにわたる。

【0014】CPU部は、CPU1と、このCPU1の動作を規定するプログラム（詳細は後述）を記憶したプログラムROM2と、各種データを記憶するエリア、3トラックのレイトポイントデータを記憶するエリア、ならびにワークエリア等を含むRAM3と、CPU1のI/Oポートに接続された周辺機器である各種ファンクションキー、データ入力キー等を含むキーボード4、CRTあるいはLCDとそのドライバを含み各種表示を行う表示装置5とを有する。

【0015】CPU1は、後述するようにリアルタイム動作時（録音/再生等）において、DMAユニットのアドレスバス、データバスの空き時間に、必要に応じてDMAユニットの各構成要素の制御を行うない、編集時において、データブロックの並べ換えや、ディスクアクセスポイントの操作等を行なう。キーボード4からは、後述するように、各トラック（以下、Trとする）の録音/

再生モードの設定、スタート、ストップ、ロケート、編集ポイントの指定などが入行える。プログラムROM2、RAM3のアドレス端子には、アドレスバスを介してCPU1からアドレス信号が送られ、その出力端子はデータバスを介してCPU1にあるいはトランシーバ7に接続されている。

【0016】すなわち、CPU部とDMAユニットとを連結するために、バッファ6、トランシーバ7およびインターフェース装置20がDMAユニット内に設けられている。バッファ6はCPU1とアドレスバスを介して接続され、更にDMAユニット内のアドレスバスに接続される。トランシーバ7はCPU1とデータバスを介して接続され、更にDMAユニット内のデータバスに接続される。インターフェース装置20は、データバス、アドレスバスおよび初期値設定制御線WR1を介してCPU1と接続されるとともに、後述の音声入出力装置8-1〜8-3とバッファ9-1〜9-3との間に設けられたデータバス、ならびに後述のDMAコントローラ10と音声入出力装置8-1〜8-3との間に設けられた回線信号線DAK1、DAK2およびDAK3を介してDMAユニットに接続されている。

【0017】DMAユニット内には、Tr1の為の音声入出力装置8-1、Tr2の為の音声入出力装置8-2、Tr3の為の音声入出力装置8-3が設けられていて、夫々には、アナログ音声信号が独立に入出力可能となっている。

【0018】各音声入出力装置8-1〜8-3の内部には、A/D変換、D/A変換を選択的に実行する変換器のほか、サンプリングノイズ除去用のローパスフィルタ、更にサンプリング周期でクロックを発生するクロック回路などが含まれている。これらの音声入出力装置8-1〜8-3においては、当該トラックがレコード（記録）状態に設定されれば、外部からのアナログ音声信号をサンプリング周期毎に適宜フィルタリングした後、A/D変換して、デジタル音声データを得る。逆に当該トラックがプレイ（再生）状態に設定されれば、予め読み出されたデジタル音声データをサンプリング周期毎にD/A変換して適宜フィルタリングした後、アナログ音声信号として出力する。

【0019】Tr1〜Tr3の各音声入出力装置8-1〜8-3は、データバスを介して対応するバッファ9-1（BUF1）、バッファ9-2（BUF2）、バッファ9-3（BUF3）とそれぞれ接続され、デジタル音声データの授受を行う。

【0020】このバッファ9-1〜9-3はTr1〜Tr3に夫々対応しており、音声入出力装置8-1〜8-3との間のデータ転送は、DMAコントローラ10にて直接メモリアクセス（DMA）方式により行われる。

【0021】この各音声入出力装置8-1〜8-3は、DMAコントローラ10に対し、レコーディング時に

は、サンプリング周期で音声入出力装置8-1~8-3からバッファ9-1~9-3方向への1回のサンプリングに係るデジタルデータのDMA転送(シングル転送)を要求(リクエスト)し(DRQ信号を送出し(T<sub>r</sub>1ではDRQ1、T<sub>r</sub>2ではDRQ2、T<sub>r</sub>3ではDRQ3としてDMAコントローラ10に与えられる)、DMAコントローラ10からの回答(アキューレージが、T<sub>r</sub>1ではDAK1、T<sub>r</sub>2ではDAK2、T<sub>r</sub>3ではDAK3としてDMAコントローラ10から与えられる)を受けて、実際のデータ転送が実行される。プレイ時には、サンプリング周期でバッファ9-1~9-3から音声入出力装置8-1~8-3方向への1回のサンプリングに係るデジタルデータのDMA転送(シングル転送)の要求が、音声入出力装置8-1~8-3からなされ、上記した場合と同様にDMAコントローラ10によってデータ転送が実行される。

【0022】このバッファ9-1~9-3は、1回もしくは複数回のデジタル音声データを記憶できる容量をもち、例えばRAMをT<sub>r</sub>1~T<sub>r</sub>3に3分割し、夫々リングバッファ(最終アドレスと先頭アドレスとが仮想的につながったバッファ)として使用することで、FIFOバッファとして機能するよう構成されている。

【0023】このバッファ9-1~9-3に対するアドレス指定は、アドレスバスを介してDMAコントローラ10などよりなされる。すなわちDMA転送を行っているときはDMAユニット内のアドレスバス、データバス、制御信号ラインはDMAコントローラ10が専有することになる。

【0024】そしてバッファ9-1~9-3はデータバスを介し、更にハードディスクコントローラ(以下、HDコントローラとする)11の制御に従ってハードディスク12とデータの授受を行う。ハードディスク12とHDコントローラ11とはデータバスとコントロール信号ラインとを介し連絡され、ハードディスク12に対するリード/ライトアクセスが全てHDコントローラ11によりなされる。ハードディスク12は、T<sub>r</sub>1~T<sub>r</sub>3の3トラック分の分割された記憶エリアを有しており、バッファ9-1~9-3とのデータ転送がDMAコントローラ10によりなされる。これは、HDコントローラ11が1つのデータブロックを転送し終ると割込み(INT)をCPU11にかけ、次のデータブロックの転送指示をCPU11に申し行うことによりなされる。CPU11は、HDコントローラ11からインタラプト信号INTが到来すると、DMAコントローラ10、HDコントローラ11を所望の状態に設定したり、プログラミングしたりした後、DMA転送を行わせる。この動作の詳細は後に説明する。

【0025】DMAコントローラ10はプレイ時にあっては、ハードディスク12から予め指定された量(複数サンプリング周期分)のデジタル音声データを読み出し

した後、バッファ9-1~9-3のうちの指定されるバッファへDMA転送(ブロック転送)するよう動作し、レコード時には、指定されたバッファから予め指定された量(複数サンプリング周期分)のデジタル音声データを読み出してハードディスク12の指定される位置へDMA転送(ブロック転送)するよう動作する。

【0026】このハードディスク12とバッファ9-1~9-3との間のデータ転送の際は、HDコントローラ11よりDMAコントローラ10に対し要求信号DREQを出力し(DMAコントローラ10側ではDRQ4として受取る)、転送可能となると逆に回答信号DACKを受取る(DMAコントローラ10側ではDAK4として出力する)ことで、実際の転送状態となる。

【0027】このように、DMAコントローラ10は、T<sub>r</sub>1~T<sub>r</sub>3の音声入出力装置8-1~8-3とバッファ9-1~9-3との間の3チャンネル(後述するCH1~CH3)のデータ転送と、順番に選択されたいずれかのバッファ9-1~9-3とハードディスク12との間の1チャンネル(後述するCH4)のデータ転送との、計4チャンネルの时分割データ転送動作をする。

【0028】CPU11は、DMAユニット内の各構成要素の機能、作用を管理するために、アドレスバスを介しバッファ6にアドレス信号を与えるほか、各構成要素の指定信号をバッファ6を介してデコード13に供給して、夫々の指定信号CSを、各音声入出力装置8-1~8-3、バッファ9-1~9-3、DMAコントローラ10、HDコントローラ11に与える。同時に、トランシーバ7を介し、データバスを経由して種々のデータのやりとりがCPU11との間でなされる。

【0029】更に、CPU11から各音声入出力装置8-1~8-3のI/O端子にはレコード状態(ライト状態)とするのかプレイ状態(リード状態)とするのかを指定する指定信号WRが、バッファ6を介して与えられる。

【0030】また、各バッファ9-1~9-3、DMAコントローラ10、HDコントローラ11に対してはもこの指定信号(ライト信号)WRと、別の指定信号(リード信号)RDとがバッファ6を介してCPU11から与えられ、夫々の構成要素からデータを読み出したり逆にデータを蓄えたりするようになる。また、DMAコントローラ10からも、DMA転送状態にあってはこれらの指定信号RD、WRを出力するようになる。これらの信号と各構成要素の機能、動作の関係は後述する。

【0031】DMAコントローラ10は、DMA転送を各構成要素間で行っているとき、DMA可能(イネープリング)信号DMAENBを"1"にして出力する。その結果、この信号DMAENBがインバータ16を介して与えられるアンドゲート14の出力は"0"となり、バッファ6、トランシーバ7にはイネープリング信号Eが"0"として与えられ、結局CPU部とDMAユニ

7

トとのデータ、アドレスの授受はできなくなる。このとき、アンドゲート15に“1”信号がデコーダ13より与えられておれば、アンドゲート15の出力が“1”となつてCPU1にウェイト信号WAITが供給される。

【0032】つまり、CPU1が、DMAユニットを管理するために、バッファ6、トランシーバ7を開かせるべくデコーダ13に所定の信号を与えているとき、つまりアンドゲート14の入出力端にデコーダ13より“1”信号を供給しているとき（CPU1がバッファ9-1~9-3、DMAコントローラ10、HDコントローラ11、音声入出力装置8-1~8-3のいずれかにアクセスするためのアドレス信号を出力すると、デコーダ13の出力はアクティブとなりアンドゲート14、15の夫々の入出力端への出力は“1”となる）、DMA転送を開始するとCPU1にはウェイト（WAIT）がかり、DMA転送が優先して実行された後、ウェイト解除にもなつてCPU1の動作が再開される。

【0033】また、逆に、DMAコントローラ10が、DMA転送を実行しているときに、CPU1が例えばDMAコントローラ10をアクセスしようとしても、アンドゲート15よりウェイト信号WAITが与えられCPU1の実行サイクルは途中で引き延ばされて、バッファ6、トランシーバ7はその間隔じられることになる。

【0034】結局、CPU1が、DMAユニットの各構成要素にアクセスできるのは、CPU1がDMAユニットの各構成要素をアクセスするためのアドレスを出した。②信号DMAENBがインアクティブ（“0”）つまりDMAユニットのデータバスが空いている。この2つの条件を満たすときであるが、CPU1は上述したように、ゲート14、15の作用によっていつDMAユニットにアクセスするかを考慮することなく処理をすることができ。

【0035】また、CPU1は、キース入力やコントロールデータのトリガに応じて直ちにDMAユニットの動作状態を変えたい場合、DMAコントローラ10に対して、DMAコントローラ10の状態がどのような状態であってもDMA転送を中断する指令DMAENDを出力することができる（これは、DMAコントローラ10にはEND信号として与えられる）。

【0036】（DMAコントローラ10の要部構成）次に、DMAコントローラ10の一構成例を説明する。DMAコントローラ10は、1バスサイクルが数百ナノ秒である転送能力をもつ。従って、3トラック分のサンプリングデータを転送する時間は1から2マイクロ秒となる。

【0037】サンプリング周波数 $f_s$ を48KHzとしたとき、1サンプリング時間の間隔は約21マイクロ秒となり、サンプリング時間間隔のほとんどは、バッファ9-1~9-3とHDコントローラ11、ハードディスク12との間のデータ転送及びCPU1から各構成要素

8

のプログラミング時間にあてることが可能となる。

【0038】さて、その具体例の主要構成は、図2に示されている。このDMAコントローラ10は、アドレスバスと接続される入力側（IN）のアドレスバッファ101と出力側（OUT）のアドレスバッファ102を有する。入力側のアドレスバッファ101に与えられるアドレス信号によって、レジスタセレクト103の指定内容が変化し、アドレスレジスタ104とコントロールレジスタ105とに存在する所望のレジスタが指定されることになる。

【0039】アドレスレジスタ104、コントロールレジスタ105には4つのチャンネルCH1~CH4のエリアがあり、チャンネルCH1~CH3は、バッファ9-1~9-3との間のDMA転送を行うためのレジスタであり、チャンネルCH4は、バッファ9-1~9-3のうちの指定したバッファとハードディスク12との間のDMA転送を行うためのレジスタである。

【0040】アドレスレジスタ104内の各チャンネルCH1~CH4のレジスタは、対応するバッファ9-1~9-3及び指定されたバッファのカレントアドレスとスタートアドレスとを少なくともとも記憶するエリアを有し、コントロールレジスタ105の各チャンネルCH1~CH4のエリアには、例えば、DMA転送の方向を指定するコントロールデータが記憶される。

【0041】このアドレスレジスタ104、コントロールレジスタ105の内容は、データバッファ106を介してデータバスに対して入出力可能となっている。そして、これらの各構成要素を制御しているのが、タイミングコントロールロジック107と、サービスコントロール108、チャンネルセレクト109である。

【0042】サービスコントロール108は、ハードロジックもしくはマイクロプログラム制御構成となっていて、タイミングコントロールロジック107からの信号、音声入力装置8-1~8-3、HDコントローラ11からのDMA要求信号DRQ1~DRQ4や、CPU1からのDMA中断指令END（DMAEND）を受けとり、上記各構成要素に対する回答（アクノレッジ）信号DAK1~DAK4、DMA転送中を示すDMA可能（イネープリング）信号DMAENBを出力するほか、タイミングコントロールロジック107に対し各種指令を出したり、チャンネルセレクト109に対しチャンネルセレクト信号を出力したりする。チャンネルセレクト109は、アドレスレジスタ104、コントロールレジスタ105の中の各チャンネルCH1~CH4に対応するレジスタを選択的に指定する。

【0043】タイミングコントロールロジック107は、デコーダ13からの指定信号CS、コントロールレジスタ105からのコントロール信号、サービスコントロール108からの制御信号を受けて、アドレスバッファ102、データバッファ106の出力制御をするほ

か、アドレスインクリメント110を動作させて、アドレスレジスタ104の中の指定されたチャンネルのカレントアドレスレジスタをインクリメントする。

【0044】〈インターフェース装置20の構成〉インターフェース装置20は、DMAコントローラ10が音声入出力装置8-1〜8-3とバッファ9-1〜9-3との間のデジタル信号データの転送を実行しているときに、音声入出力装置8-1〜8-3に入出力されるデジタル信号データを一時的に記憶し、CPU1から読取指令が出されたときに、一時的に記憶したデジタル信号データをCPU1に供給する第1部分（データレジスタ22およびアンドゲート23）と、DMAコントローラ10が音声入出力装置8-1〜8-3とバッファ9-1〜9-3との間のデジタル信号データの転送を実行しているときに、音声入出力装置8-1〜8-3に入出力されるデジタル信号データの最大値を一定周期毎に求めて一時的に記憶し、CPU1から読取指令が出されたときに、一時的に記憶したデジタル信号データの最大値をCPU1に供給する第2部分（最大値レジスタ24、アンドゲート25、比較器26およびラッチ27は、インターフェース装置20）とを備えている。

【0045】図3は、インターフェース装置20の一構成例を示す。図3を参照するに、チャンネル1用インターフェース回路20-1は、音声入出力装置8-1およびバッファ9-1に対応する。チャンネル2用インターフェース回路20-2は、音声入出力装置8-2およびバッファ9-2に対応する。チャンネル3用インターフェース回路20-3は、音声入出力装置8-3およびバッファ9-3に対応する。インターフェース回路20-1、20-2および20-3の構成は同一なので、ここではインターフェース回路20-1についてだけ説明する。

【0046】インターフェース回路20-1において、データレジスタ22のデータ入力は音声入出力装置8-1〜8-3に入出力されるデジタル音声データを伝送するデータバスに接続される。データレジスタ22のデータ出力は、CPU1へのデータバスに接続される。アンドゲート23の一方の入力には、CPUアドレスバスおよびデコード21を介してCPU1から供給される読取書込セレクト指令S11が供給され、アンドゲート23の他方の入力には、DMAコントローラ10からの回答信号DAK1が供給される。読取書込セレクト指令S11は、“L”のとき読取指令であり、“H”のとき書込指令である。回答信号DAK1は、“H”のときデータ転送許可を示す。アンドゲート23の出力は、データレジスタ22のラッチイーネブル端子LEに供給される。読取書込セレクト指令S11は、データレジスタ22のゲート端子Gに供給される。

【0047】CPU1がデコード21を介して書込指令S11（“H”）を発しているときには、回答信号DA

K1（“H”）が出力される毎に、データレジスタ22のラッチイーネブル端子LEにアンドゲート23から“H”信号が供給され、その時のデジタル音声データがデータレジスタ22にラッチされる。そして、CPU1が読取指令S11（“L”）を発すると、データレジスタ22のゲートが開き、データレジスタ22にラッチされていたデジタル音声データがデータバスを介してCPU1に供給される。アンドゲート23は、CPU1が読取指令S11（“L”）を発しているときには、回答信号DAK1（“H”）が出力されてもデータバスのデジタル音声信号データをデータレジスタ22がラッチするのを禁止するように作用する。このような禁止作用により、デジタル音声データが1サンプリタ落ちすることになるが、CPU1がデジタル音声データを使用して行う処理は、音声データが所定レベル以上か否かの監視等、低い帯域での処理なので実用上殆ど問題はない。データレジスタ22およびアンドゲート23は、インターフェース装置20の上述の第1部分に相当する。

【0048】インターフェース回路20-1において、最大値レジスタ24のデータ入力は、音声入出力装置8-1〜8-3に入出力されるデジタル音声データを伝送するデータバスに接続される。最大値レジスタ24の出力は、CPU1へのデータバスに接続されるとともに、比較器26のA端子に接続される。アンドゲート26の一方の入力には、CPUアドレスバスおよびデコード21を介してCPU1から供給される読取書込セレクト指令S21が供給され、アンドゲート25の他方の入力には、比較器26の比較結果信号Cが供給される。読取書込セレクト指令S21は、“L”のとき読取指令であり、“H”のとき書込指令である。アンドゲート25の出力は、最大値レジスタ24のラッチイーネブル端子LEに供給される。読取書込セレクト指令S21は、最大値レジスタ24のゲート端子Gに供給される。

【0049】ラッチ27のデータ入力は、音声入出力装置8-1〜8-3に入出力されるデジタル音声データを伝送するデータバスに接続される。ラッチ27のラッチイーネブル端子LEには、回答信号DAK1が供給される。ラッチ27のデータ出力は、比較器26のB端子に供給される。比較器27は、A端子の入力データとB端子の入力データとを比較し、前者が後者より小さいときに比較結果Cを“H”にする。

【0050】ラッチ27は、回答信号DAK1が出力される毎にデータバス上のデジタル音声データをラッチする。比較器26は、ラッチ27のデータの値と最大値レジスタ24のデータの値とを比較し、後者が前者より小さいときには比較結果信号Cを“H”にする。このとき、CPU1が書込指令S21（“H”）を出力していればアンドゲート25の出力が“H”となって、そのときのデータバス上のデジタル音声データ、即ち、ラッチ27にラッチされているデジタル音声データが最新の最



大値としてレジスタ24に記憶される。

【0051】CPU1が読取指令S21(“L”)を発すると、最大値レジスタ24の内容がデータバスを介してCPU1に供給される。

【0052】CPU1から書込指令S21(“H”)および初期値書込指令WR1が最大値レジスタ24に与えられると、最大値レジスタ24にはCPU1から初期値が書き込まれる。この初期値は、デジタル音声データの最大値を求めるための閾値として機能する。

【0053】最大値レジスタ24、アンドゲート25、比較器26およびラッチ27は、インターフェース装置20の上述の第2部分に相当する。

【0054】チャンネル2用インターフェース回路20-2に供給される読取書込セレクト指令S12およびS22ならびに回答信号DAK2は、チャンネル1用インターフェース回路20-1に供給される読取書込セレクト指令S11およびS21ならびに回答信号DAK1に相当する。チャンネル3用インターフェース回路20-3に供給される読取書込セレクト指令S13およびS23ならびに回答信号DAK3は、チャンネル1用インターフェース回路20-1に供給される読取書込セレクト指令S11およびS21ならびに回答信号DAK1に相当する。

【0055】<CPU1の全体動作>以下に、本実施例の動作について説明する。CPU1の動作を示すフローチャートが図4及び図5に示されている。これはプログラムROM2に記憶されたプログラム(ソフトウェア)によるもので、図4はメインルーチンを示し、図5は、HDコントローラ11からのインタラプト信号INTの到来にตอบสนองして実行するインタラプトルーチンを示している。

【0056】まず図4において、キープ4によりセットされているモードが、プレイ/レコードモードなのか、エディット(編集)モードなのかをジャッジする(ステップ4-1)。もし、エディットモードであるとすると、4-2に進み、編集するトラックやポイント、どのような編集をするのか(例えば、ある時間指定したポイントに録音した音のタイミングを前後にずらしたり、修正、削除したりすること)をCPU1は判断し、そのためのコントロールデータを生成しRAM3に記憶せしめ(4-3)、各種編集作業を実行した上で、再度4-1にもどる。

【0057】この編集作業は、特に詳述しないが、HDコントローラ11とDMAコントローラ10とに対するハードディスク12からの読み出しアクセスポイントのプログラムや、RAM3への転送、RAM3を用いての各種編集、そして編集後のデジタル音声データのハードディスク12への再格納作業、アクセスポイントの指定等、をCPU1の制御下で実行する。

【0058】さて、CPU1が、現在プレイ/レコード

モードであるとジャッジすると、4-1から4-4に進み、3つあるトラックの夫々の動作モードをキーボード4の入力指示に従って設定し、4-5において、A/D変換、D/A変換のいずれの動作を各音声入出力装置8-1-8-3が実行するか、バッファ6、デコード13を介して指定信号CSを順次送出しながらIOWRを与えてセッティングする。いま、例えば、Tr1については、プレイ状態(従ってD/A変換動作状態)、Tr2及びTr3は夫々レコード状態(従ってA/D変換動作状態)とする。図9に、このようなモード設定した場合の概略動作の概念図を示す。

【0059】そして、4-5では、DMAコントローラ10に対し、各Tr1~Tr3についてのバッファ9-1~9-3のアドレスを初期化する。つまり、図2のアドレスバッファ101、レジスタセクタ103、チャンネルセクタ109等により、チャンネルCH1~CH3の各レジスタ(アドレスレジスタ104、コントロールレジスタ105)を指定しながら、データバッファ106を介して初期設定データを入力設定する。

【0060】ここで、バッファ9-1~9-3は、リングバッファとして循環的に使用されるようになっており、初期状態としては、各バッファ9-1~9-3のスタートアドレスとカレントアドレスとは一致するようセットされる(図9に、各バッファ9-1~9-3のスタートアドレスとカレントアドレスとが、CH1~3のアドレスレジスタ104に記憶されて制御される状態を模式的に示してある)。

【0061】続いてCPU1は4-6の処理を実行し、RAM3内の作業(ワーク)メモリアリアに所在するハードディスク12の各トラックTr1~Tr3に対応するディスクアクセスポイントを初期設定する(図9にハードディスク12の記憶エリアと、ディスクアクセスポイントとの関係を示している)。

【0062】次にCPU1は、各音声入出力装置8-1から8-3のA/D変換動作又はD/A変換動作を開始させる(4-7)。続いて、4-8において、ソフトウェア割込みをかけて、HDコントローラ11が、ハードディスク12とバッファ9-1~9-3のいずれかとの間のデータ転送のプログラム要求(HDコントローラ11がCPU1に対してインタラプトINTをかけること)を行なったとき(後述)と同じ処理を実行する。

【0063】具体的には、図5に示したフローチャートに従った動作を4-8で実行することになる。例えば、いまの場合、Tr1について、ハードディスク12からデジタル音声データをバッファ9-1にDMA転送するために、DMAコントローラ10のチャンネルとしてTr1に対応するチャンネルCH1を決定する(5-1)。

【0064】続いて、このCH1のスタートアドレス(前述のとおり4-5で初期設定されている)をCH4

13

のスタートアドレスとしてコピーする(5-2)。このときのDMAコントローラ10側の動作は後述する。続いて、いまの場合CH1のスタートアドレスとカレントアドレスからデータ転送数を算出する(5-3)。いま、初期状態であるので、Tr1に関してバッファ9-1には何らこれまでデータ転送が行われておらず、従って、バッファ9-1のメモリエリア全てにハードディスク12からデータ転送してやることができる。勿論、複数のトラックが、プレイ時にあるのであれば、早期にハードディスク12から複数のバッファに予め記憶されたデジタル音声データを転送しなければならないので、1つのバッファにフルにデータ転送を行わず、次々とDMA転送が各トラックについて行われるようにすることもできる。あるいは、必要なバッファ9-1~9-3に対してハードディスク12から予めフルにデータ転送をした後、プレイ/レコード動作を同期スタートしてもよい。

【0065】次に、5-4において、いまの場合CH1のカレントアドレスの内容を、CH4のスタートアドレスにコピーする。いまの場合は結局初期アドレスがスタートアドレスとなる。

【0066】このように、CPU1は、5-1~5-4において、DMAコントローラ10に対して各設定/制御を行なった上で、次に5-5に進み、RAM3の作業メモリよりいまTr1のディスクアクセスポイントを取り出し、更に5-6において、DMAコントローラ10のコントロールレジスタ105のCH1のエリアの内容に従って得られるTr1の動作モード(いまプレイモード)と、このTr1についてのディスクアクセスポイントと、5-3で決定したハードディスク12からバッファ9-1へのデータ転送数とによって、HDコントローラ11をプログラミングする。このときのHDコントローラ11側の動作は後に詳述する。

【0067】その結果、HDコントローラ11は、いまの場合ハードディスク12からバッファ9-1の方向へのDMA転送を、DMAコントローラ10に要求(DREQを出力)し、DMAコントローラ10は対応するDMA転送を実行することになる。この動作についても後に詳述する。

【0068】続いて、5-7において、CPU1はRAM3の作業メモリ内のTr1のディスクアクセスポイントを、上述した転送処理を実行した結果ディスクアクセスポイントがとるであろう値まで更新する。つまり、上述の説明からわかるとおり、ハードディスク12とバッファ9-1の間のデータ転送はその後、DMAコントローラ10が全て実行することになり、CPU1はこのDMA転送が完了したときにハードディスク12のアクセスポイントがとる値を、5-7でセットするのである。そして、メインルーチン(図4)にリターンする。

【0069】後の説明でも明らかになるとおり、最初の割込みルーチン(図5)が起動されて、HDコントロー

14

ラ11が一度動かされると、あとは、CPU1が指定したデータブロックの転送が終了するたびに、HDコントローラ11から割込みがなされる(INT信号がCPU1に与えられる)ので、CPU1が行うのは、録音/再生動作の終了になったか、キー入力があったかまたはコントロールデータに指示しておいたトリガがなかったかの判断を行うのみである。

【0070】すなわちCPU1は、4-9において、ディスクアクセスポイント(RAM3)を参照し、メモリエリアオーバーか否かつまり終了か否かをジャッジし(4-10)、YESの場合は、各音声入出力装置8-1~8-3のA/D変換、D/A変換動作を停止させ(4-11)、NOの場合は、コントロールデータやキー入力状態を参照し(4-12)、もし変化がなければ、ディスクアクセスポイントをチェックすべく4-9の処理へ戻り、以下4-9~4-13を繰り返す。

【0071】そして、4-13において何らかの変化があると、4-13から4-14に進み、CPU1は、DMA転送を一時中断して、新たな設定をすべく、DMAコントローラ10に対するDMA中止指令(DMAEND)を出力する。続けて、新たな入力指示等に従って、DMAコントローラ10、音声入出力装置8-1~8-3をプログラムし(4-15)、再びDMA動作を再開すべく4-16に進み、上述した4-8と同様図5のルーチンを実行した後、4-9へ戻る。

【0072】このように、CPU1は、プレイ/レコード時においては、4-4~4-8の初期設定を行なった後は、4-9、4-10、4-12、4-13更に4-14~4-16を繰り返し実行し、キーボード4での変更指示(例えばあるトラックについてポーズ(A/D、D/Aの中断)あるいはパンチン・アウト(A/D、D/Aの動作の切替)等)や、編集時に得たコントロールデータの変化に反応して、即時にDMA転送制御を中断し、プログラムを変更した上で、再び同様の処理を実行するよう動作する。

【0073】〈音声入出力装置8-1~8-3の動作〉次に図6を参照して、音声入出力装置8-1~8-3の動作状態を説明する。このフローチャートは、マイクログラム制御によるものであっても、ハードロジック制御によるものであってもよく、機能実現手段は種々選択できる。

【0074】さて、6-1においてCPU1から当該音声入出力装置の指定信号CSが到来している(アクティブとなっている)か否かをジャッジし、YESならば6-2において、CPU1より動作状態(レコード、プレイ、ストップ等)が設定される。これは図4のCPU1のメインルーチンの中の4-5、4-15に反応してなされる。

【0075】そして、6-1においてNOの判断がなされると6-3において、当該音声入出力装置8-1~8

ー3がレコード状態であるのかプレイ状態であるのか判断し、レコード状態と判断されると、6-3から6-4へ6-9の処理へ進み、プレイ状態と判断されると6-10へ6-15の処理へ進む。

【0076】 先ずレコード状態に設定された音声入出力装置（いまの場合音声入出力装置8-2、8-3）の動作を説明する。6-4において、サンプリング時刻となったか否か判断し、サンプリング時刻となるまで、この6-4をくりかえす。なお、サンプリング時刻の判断は、音声入出力装置8-1〜8-3の内部に夫々ハード

タイマをもってその出力によって行ってもよく、あるいは共通なハードタイマを設けてその出力に従って各音声入出力装置が動作するようにしてもよい。後の説明からも理解されたとおり、各音声入出力装置8-1〜8-3のサンプリング周波数を別々にすることも可能である。

【0077】 さて、6-4において、YESの判断がなされると、与えられるアナログ音声信号は、6-5でサンプルホールド（S/H）され、A/D変換される。続いて、6-6において、DMAコントローラ10に対してDMA転送要求DRQをアクティブにして出力する。

【0078】 DMAコントローラ10は、この要求信号DRQを受けとり、DMA転送を行わべく、その回答信号DAKを出力する（この場合の詳細動作は後述する）。従って、音声入出力装置8-1〜8-3（いまの場合レコード状態である音声入出力装置8-2又は8-3）は、6-7の判断がYESとなると、6-8に進み、A/D変換して得たデジタル音声データをデータバスに出力し、対応するバッファ9-1〜9-3（いまの場合バッファ9-2又は9-3）へ送る。そして、6-9において、DMA転送要求DRQをインアクティブにする。従って、いまの場合、音声入出力装置8-2、8-3からあつては、サンプリング周期毎に、外部から与えられるアナログ音声信号をデジタル音声信号に変換し、後述するようにDMAコントローラ10にて夫々指定されるバッファ9-2、9-3のカレントアドレスに転送する（図9参照）。

【0079】 また、6-3においてプレイ状態と判断されると、6-10に進み、DMAコントローラ10に対しDMA転送要求DRQをアクティブにし、DMAコントローラ10から回答信号DAKの到来を待つ（6-11）。データバス上のデジタル音声データを取込み（6-12）、上記要求DRQをインアクティブにする（6-13）。このときのDMAコントローラ10の動作は後述するが、いまの場合、図9に示すとおり、Tr1に対応するバッファ9-1のカレントアドレスの内容（これはすでにハードディスク12のTr1のエリアの内容が転送記録されている）が、以上の操作で音声入出力装置8-1に入力設定されることになる。そして、サンプリング時刻となったか否か判断する（6-14）。 50

このサンプリング時刻の到来の検出は、6-4において述べた場合と同様に行なわれる。

【0080】 そして、6-14でYESとなると6-15に進みD/A変換及びローパスフィルタリングを実行した上でアナログ音声信号を外部に出力する。

【0081】 以上レコード状態の場合と、プレイ状態の場合との1つのサンプリング時刻における動作を説明したが、6-9、6-15の各処理の終了後6-1に戻り、以下同様にして次々とサンプリング時刻に対する処理を実行する。

【0082】 図10は音声入出力装置8-1〜8-3の動作タイムチャートを示しており、いまの場合Tr1の音声入出力装置8-1がプレイモードとなっていて、サンプリング時刻tとサンプリング時刻t+1の間で、サンプリング要求（DRQ）が発生し、DMAコントローラ10内のチャンネルCH1の制御によって、バッファ9-1から音声入出力装置8-1の方向へのDMA転送がなされ、サンプリング時刻t+1に同期して、D/A変換動作がなされる。

【0083】 逆に、いまの場合Tr2、Tr3の音声入出力装置8-2、8-3においては、レコードモードとなっており、サンプリング時刻あるいはt+1に同期して、A/D変換が行われ、その後DMAコントローラ10に対してDMA転送命令が出力され、DMA転送が、Tr2、Tr3の順番で（同時にDMA要求があつた場合の優先順位、CH1>CH2>CH3>CH4となっている関係によるもの）実行され、音声入出力装置8-2、8-3からバッファ9-2、9-3へデータ転送がなされることになる。

【0084】 <DMAコントローラ10の動作>次に、図7を参照してDMAコントローラ10の動作を説明する。この図7のフローチャートは、図2の動作コントローラ108がマイクロプログラム制御で動作することを表わしているとしてもよく、あるいは、ハードロジックでDMAコントローラ10が機能実現をしているとしてもよい。

【0085】 先ず、7-1において、CPU1からの指定信号CSが到来している（アクティブとなっている）か否かを判断し、YESならば、7-2において、リード信号RD、ライト信号WRのいずれがCPU1から与えられているかを判断し、リード信号RDならば7-3に進み、アドレスバスを介して与えられるアドレス信号にて指定されるレジスタ104、105の内容をデータバスを介して出力してCPU1がリードできるようにし、逆にライト信号WRならば7-4に進み、指定したレジスタにデータバスを介して所望のデータを入力設定することになる。この7-3、7-4の処理は、CPU1のメインルーチンの4-5、4-15などの処理に対応する。従って、7-4の処理によって図2の各レジスタ104、105には所望のデータがセットされること

17

になる。

【0086】そして、このようなCPU1からのDMAコントローラ10に対するアクセスやプログラムが終ると指定信号CSはインアクティブとし、7-1から7-5に処理は進むことになる。

【0087】7-5では、各音声入出力装置8-1～8-3からDMA転送要求DRQ1～DRQ3がきているか、HDコントローラ11からDMA転送要求DREQ (DRQ4) がきているかを判断し、もし、いずれから要求が来ていると7-6に進み、DMA可能信号DMAENBを“1” (アクティブ) にし、DMAユニット内のアドレスバスとデータバスをDMAコントローラ10が専有するようにし、CPU1からのアクセスを受け付けなくする。

【0088】続いて、複数の要求に際しては、チャンネルCH1～CH4の順の優先順位に従って、チャンネルを選択する (7-7)。例えば、図10の例ではサンプリング直後にTr2、Tr3の音声入出力装置8-2、8-3からのデータ転送要求が同時になされるが、Tr2の優先順位が高いので、先にCH2のDMA転送を行うことになる。また後の説明でも理解されたとおり、CH4の優先順位が最下位なので、ハードディスク12とバッファ9-1～9-3のうちの1つのデータ転送を行っているときに、いずれかの音声入出力装置8-1～8-3からデータ転送の要求がなされると、後者のデータ転送を先に優先的に行うようになる。

【0089】続いて、選択したチャンネル (いま、例えばCH2) のカレントアドレス (アドレスレジスタ104のCH2のカレントアドレスレジスタの内容) をアドレスバスに出力する (7-8)。そして選択したチャンネル (いま、例えばCH2) のコントロールレジスタ105の内容を参照し、DMA転送をいずれの方向へ行うか決定し (7-9)。もしバッファ9-1～9-3から他の要素 (I/O) への転送なら7-10から7-11へ進んで、バッファ9-1～9-3のうちの選択しているバッファに対しリード信号RDを与え、逆に他の要素 (I/O) からバッファ9-1～9-3への転送ならば7-12に進み、当該バッファに対してライト信号WRを与える。

【0090】しかる後、回答信号DAKをアクティブにする (7-13)。その結果、いまの場合、Tr2の音声入出力装置8-2は、6-7、6-8 (図6) の処理によって、サンプリングした音声データを、データバスに送出し、バッファ9-2のカレントアドレスのエリアに、DMAコントローラ10が書き込むことになる (図9参照)。

【0091】7-14では、データ転送が終了したので、上記リード信号RD又はライト信号WR、回答信号DAKをインアクティブにし、7-15で、当該チャンネル (いまCH2) のカレントアドレス (図2のアドレ

18

スレジスタ104内) の内容を+1する。この7-15の動作により、バッファ9-1～9-3に対して新たなサンプリング音声データが書き込まれる都度、あるいは新たに音声データが読み出される都度アップカウントされることになる。そして、7-15の処理の後、7-1へ戻る。

【0092】先程の状態 (図10参照) では、Tr2とTr3の音声入出力装置8-2、8-3よりデータ転送要求がDMAコントローラ10に対してなされており、これまでにTr2についてのみデータ転送の実行をしたのであるから、続く7-5においてはYESの判断になされる。以下Tr3に関して、音声入出力装置8-3からバッファ9-3の方向へのデータ転送が、7-7～7-10、7-12～7-15を実行することにより上記した場合と同様にしてなされる。

【0093】このようなデータ転送が完了すると7-5から7-16に進み、DMA可能信号を“0” (インアクティブ) にして、DMAユニット内のデータバス、アドレスバスをDMAコントローラ10が専有するのを中止し、CPU1からのアクセスを受け付けられるようになる。

【0094】以上Tr2、Tr3に関し、音声入出力装置8-2、8-3から夫々対応するバッファ9-2、9-3へのデータ転送について説明したが、Tr1については、逆に、バッファ9-1から音声入出力装置8-1へのデータ転送がDMAコントローラ10によってなされる。

【0095】図10に示してあるとおり、サンプリング時間tとt+1の間で、Tr1に対応する音声入出力装置8-1は、DMAコントローラ10に要求信号DRQを出力する (図6、6-10)。

【0096】これに応答し、DMAコントローラ10は、上記した場合と同様に7-5～7-7を実行し、7-8において、バッファ9-1の読み出すべきアドレスを示すアドレスデータをアドレスバスを介して与える。7-9、7-10の実行により、7-11に進み、今回はバッファ9-1に対し読み出し信号RDを与え、7-13で回答信号DAKを“1”とする。

【0097】その結果、バッファ9-1の指定アドレスのデジタル音声データは、データバスを介して、Tr1の音声入出力装置8-1へ転送され取込まれることになる。しかる後、7-14、7-15の処理を経て7-1へ戻る。

【0098】また、DMAコントローラ10は、ハードディスク12とバッファ9-1～9-3との間のデータ転送も行ふ。この場合は、チャンネルCH4のアドレスレジスタ104、コントロールレジスタ105が使用される。この動作は、CPU1のインタラプトルン (図5) の実行によって、DMAコントローラ10に対する設定/制御動作6-1～5-4、HDコントローラ

19

11に対するプログラミング動作5-5、5-6の後、実行される。

【0099】このDMAコントローラ10に対するCPU1の設定/制御動作5-1~5-4に対応して、DMAコントローラ10は、7-3、7-4の処理を行なう。即ち、CPU1は今回チャンネルCH4によってデータ転送するトラックを決定し、そのトラックに対応するバッファのスタートアドレス（つまり前回当該バッファとハードディスク12とのデータ転送を行ったブロックデータの次のアドレス）をCH4のスタートアドレスレジスタ（図2のアドレスレジスタ104内）にセットし、このトラックについての今回のデータ転送数をスタートアドレスとカレントアドレス（前回データ転送をハードディスク12との間で行った後に歩進したアドレス）との差からCPU1は得るとともに、このトラックについてのカレントアドレスをスタートアドレスにコピーする。

【0100】CPU1は、動作中のトラックに対応するバッファ9-1~9-3とハードディスク12との間のデータ転送を各トラック毎に順番に行うようになり、各トラック毎に、前回のデータ転送（ブロック転送）に続くデータ転送を行うようになる。図9の例では、例えばTr1については、ハードディスク12から、図示のスタートアドレス（CH1）とカレントアドレス（CH1）の間の空白部分（斜線を施していない部分）に対応するデータ量の転送を行うようになる（他のトラックについてもデータ転送の方向は逆であるが、同様の制御によることは明らかである）。なお、プレイモードのバッファ（9-1が該当）では空白部分がすでに音声出力されたデータ部分に対応し、レコードモードのバッファ（9-2、9-3が該当）では斜線部分が音声入力されたデータ部分に対応する。

【0101】そして、CPU1は、5-5、5-6によってHDコントローラ11に対しプログラミングを行った上で、実際の転送要求をHDコントローラ11から発生させて、DMA転送を開始させる。

【0102】DMAコントローラ10では、7-5において、HDコントローラ11から転送要求があることを検知すると、上記と同様にして7-6~7-9を実行した後、バッファ9-1~9-3からハードディスク12方向へのデータ転送の要求か、ハードディスク12からバッファ9-1~9-3方向へのデータ転送の要求か7-10において判断し、前者ならば7-11へ、後者ならば7-12へ進んだ後、7-13~7-15の各処理を実行する。このとき、1回の転送操作で、例えば1サンプル分のデジタル音声データの転送がなされるので、この動作7-5~7-15を複数回繰り返して実行して、ブロック転送がなされる。このハードディスク12とバッファ9-1~9-3とのデータ転送については、HDコントローラ11の動作も大きく関連するので、後に更

20

に説明する。

【0103】そして、DMA転送が完了すると、要求信号DRQ1~4が到来しなくなり、7-5から7-16へ進むDMA可能信号DMAENBを“0”（インアクティブ）とする。

【0104】<HDコントローラ11の動作>次に、図8を参照してHDコントローラ11の動作を説明する。このHDコントローラ11は、ハードロジックによっても、マイクロプログラム制御によっても、いずれにしても図8の動作フローを機能実現する。

【0105】まず、CPU1から指定信号CSが与えられているか判断する（8-1）。これは、CPU1のインタラプトルーチン（図5の5-5、5-6）にて与えられる。NOの場合は元に戻るが、YESの場合は8-2に進み、CPU1からリード信号RDが与えられているか、ライト信号WRが与えられているか判断し、リード時には8-3でHDコントローラ11内部の指定データ（アドレスレジスタの内容等）をデータバスを介してCPU1へ出力する。

【0106】また、ライト信号WRが与えられているときは8-2から8-4に進み、今回DMAコントローラ10のチャンネルCH4にてDMA転送するバッファとハードディスク12とのデータ転送方向を設定し、8-5にて、アクセスするハードディスク12のアクセスポイントを設定する。これは、CPU1がRAM3から得ている当該トラックのアクセスポイントによる（図5、5-5）。

【0107】続いて8-6において、転送データ数（デジタル音声データ数）をHDコントローラ11の内部カウンタに設定する。この転送データ数は、CPU1のインタラプトルーチンのなかの5-6にて得ている。

【0108】このように、8-4~8-6を実行することによってCPU1の制御のもとでHDコントローラ11はプログラムされ、その後HDコントローラ11はDMAコントローラ10に対しデータ転送の要求をする（8-7）。このことから理解されたとおり、CPU1は、HDコントローラ11からインタラプト信号INTを受けると、次のトラックに対応する（つまり、いまTr1~Tr3は全て動作中とする）、Tr1、Tr2、Tr3、Tr1、……の順で）DMA転送の設定、制御をDMAコントローラ10に対し実行し、HDコントローラ11をプログラムする。その後、CPU1はHDコントローラ11とDMAコントローラ10とから離れて、相互のインタラクションで実際のDMA転送を実行させる。

【0109】HDコントローラ11は、8-7の次に8-8へ進み、DMAコントローラ10から回答信号DAC（DAK4）を受けると（図7、7-13参照）まで8-8を繰り返す。

【0110】8-8の判断がYESとなると8-9に進

21

み、DMAコントローラ10のCH4の動作によって、1サンプルのデジタル音声データの転送が行われ、8-6にて設定した転送カウンタを1だけダウンカウントする(8-10)。続く8-11において、予め設定していた転送データ数分のデータ転送が完了したか上記転送カウンタの内容に従ってジャッジし、NOならば再び8-8へ戻る。従って、DMAコントローラ10においては、HDコントローラ11から設定したデータ数の転送(ブロック転送)が終了するまで、転送要求DRQ4を続けて受けとることになり、この転送要求に従って7-5~7-15の処理(図7)を実行し、それに応答する形でHDコントローラ11側では8-8~8-11の処理を実行する。

【0111】そして、転送終了が8-11にて判断されると、8-12に進み、HDコントローラ11からDMAコントローラ10に対してのデータ転送の要求REQ(DRQ4)を"0"(インアクティブ)とする。そして、次のトラックに関してハードディスク12とバッファ9-1~9-3のいずれかとのデータ転送を行わせるために、HDコントローラ11はCPU1へインタラプト信号INTを与える(8-13)。これに答えて、CPU1はインタラプトルーチン(図5)を実行すること以上述べたとおりである。

【0112】<ハードディスク12とバッファ9-1~9-3との間のデータ転送動作>以上までの説明で、ハードディスク12とバッファ9-1~9-3との間のデータ転送についても理解されるところとなったが、図9と図11とを参照して、DMAコントローラ10に対してDMA要求が如何になされ、それに対してDMAコントローラ10が時分割で如何に対応しているかを以下に説明する。

【0113】既に述べたとおり、図9に示す設定状態にあつては、Tr1についてはプレイ状態、Tr2、Tr3についてはレコード状態となっていて、夫々の音声入出力装置8-1~8-3から毎サンプリングタイム(図11のfs)にバッファ9-1~9-3とのデータ転送要求がDMAコントローラ10になされる。

【0114】これは、CPU1がHDコントローラ11をプログラミングしている間(図5の5-5、5-6、図8の8-4~8-7)も生じる。DMAコントローラ10は、音声入出力装置8-1~8-3からのデータ転送要求があると、上述したようにDMA可能信号DMAENBを出力し(図7の7-6)、CPU1によるHDコントローラ11のプログラミングを中断(WAIT)して、各チャンネルCH1~CH3によるDMA転送の完了後に、それを再開させる(図11参照)。

【0115】また、CH4によるDMA転送により、ハードディスク12とバッファ9-1~9-3との間のデータ転送が順次行われているときも、上記各音声入出力装置8-1~8-3から各サンプリングタイム毎(図1

22

1のfs)にデータ転送要求がなされる。

【0116】このとき、DMAコントローラ10では、図7の7-7の判断により優先度の高いチャンネル(CH1~CH3)のデータ転送を行うようになる。この間は、DMAコントローラ10へHDコントローラ11からデータ転送要求DRQ4が出力し続けている(図8、8-7参照)ものの、DMAコントローラ10から回答信号DAK4が戻ってこないで、次のデータ転送を待機している(8-8を繰り返している)ことになる。

【0117】従って、マクロ的には、DMAコントローラ10は図11に示されたとおり、Tr1、Tr2、Tr3のハードディスク12とバッファ9-1~9-3との間のDMA転送(ブロック転送)を繰り返すことになるが、ミクロ的には、HDコントローラ11に対するプログラミングでも実際のDMA転送中(CH4による)も、あるいは休止(アイドル)中も、サンプリングタイム毎に、バッファ9-1~9-3と音声入出力装置8-1~8-3との間のDMA転送(シングル転送)を、CH1~CH3の各チャンネルによって実行することになり、サンプリングタイム毎のA/D変換、D/A変換に十分速度的にも対応できるようになっている。

【0118】<インターフェース装置20の動作> CPU1がデコーダ21を介して番地指令S11、S12およびS13("H")を、それぞれチャンネル1、2および3用インターフェース回路20-1、20-2および20-3に発しているときには、回答信号DAK1、DAK2およびDAK3が出力される毎に、そのときのデジタル音声データが各チャンネルのデータレジスタ22にラッチされる。そして、CPU1がデコーダ21を介して読取指令S11、S12およびS13("L")を、それぞれインターフェース回路20-1、20-2および20-3に発すると、各チャンネルのデータレジスタ22にラッチされたデジタル音声データがデータバスを介してCPU1に供給される。

【0119】従って、CPU1は音声データの監視を行うことができ、また、オートレコーディングやオートストップ等の処理を行うことができる。

【0120】CPU1がデコーダ21を介して、番地指令S21、S22およびS23("H")を、それぞれチャンネル1、2および3用インターフェース回路20-1、20-2および20-3に発しているときには、回答信号DAK1、DAK2およびDAK3が出力される毎に、そのときのデジタル音声データが各チャンネルのラッチ27にラッチされる。そして、各チャンネルの比較器26が最大値レジスタ24の方がラッチ27の値より小さいと判断すると、そのときのデータバス上のデジタル音声データ、即ち、ラッチ27にラッチされている音声データが最大値レジスタ24に記憶される。そして、CPU1が読取指令S21、S22およびS23

23

（“L”）を、それぞれインターフェース回路20-1、20-2および20-3に発すると、各チャンネルの最大値レジスタ24の値がデータバスを介してCPU1に供給される。

【0121】従って、例えば10ms毎にタイマ割込みにより、各チャンネルの最大値レジスタ24に読取指令を与えた後、初期値、即ち最大値を求めるための閾値として0を最大値レジスタ24に書き込むことを繰り返せば、録音または再生中の音声信号の10ms毎の精度のエンベロープを得ることができる。

【0122】上記実施例においては、デジタル音声データおよびその最大値をCPU1に供給するようにしているが、本発明は音声に限らず、種々のデジタルデータの処理に適用できる。また外部記憶媒体もハードディスク以外に、光ディスク、光磁気ディスク等を用いることもできる。

【0123】

【発明の効果】以上のように、請求項1に記載のデジタルレコーダによれば、信号入出力手段に入出力されるデジタル信号データを一時記憶し、中央処理手段からの読取指令に応じて中央処理手段にデジタル信号データを供給するようにしたので、中央処理手段は必要とときに、例えばリアルタイムでデジタル信号データを得ることができる。また、デジタル信号データを一時記憶するのはデータ転送手段がデータ転送を実行しているときなので、データ転送手段の動作に影響を与えることはない。

【0124】請求項2に記載のデジタルレコーダによれば、信号入出力手段に入出力されるデジタル信号データの最大値を求めて中央処理手段に供給するようにしたので、中央処理手段はデジタル信号データのピーク値を知ることができる。また、中央処理手段から最大値を求める周期を設定することにより、デジタル信号データのエンベロープを求めることができる。

【図面の簡単な説明】

【図1】本発明のデジタルレコーダの一実施例の構成を示すブロック図である。

【図2】図1におけるDMAコントローラ10の一構成

24

例を示すブロック図である。

【図3】図1におけるインターフェース装置20の一構成例を示すブロック図である。

【図4】図1の実施例のCPU1の動作を説明するメインルーチンのフローチャートである。

【図5】図1の実施例のCPU1の動作を説明するHDCインタラプトルーチンのフローチャートである。

【図6】図1の実施例の音声入出力装置8-1乃至8-3の動作を説明するフローチャートである。

【図7】図1の実施例のDMAコントローラ10の動作を説明するフローチャートである。

【図8】図1の実施例のHDコントローラ11の動作を説明するフローチャートである。

【図9】図1の実施例の全体的な動作を示す概念図である。

【図10】各トラック毎のD/A、A/D変換動作とDMA転送を説明するタイムチャートである。

【図11】ハードディスク装置とバッファとの間のDMA転送の状態を示すタイムチャートである。

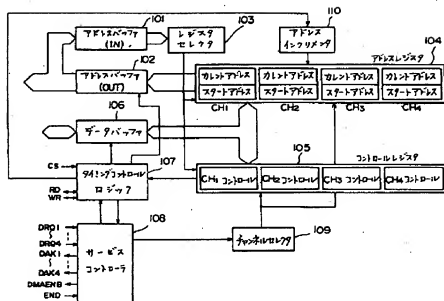
【符号の説明】

- 1 CPU
- 2 ROM
- 3 RAM
- 8-1~8-3 音声入出力装置
- 9-1~9-3 バッファ
- 10 DMAコントローラ
- 11 HDコントローラ
- 12 ハードディスク
- 20 インターフェース装置
- 21 デコーダ
- 22 データレジスタ
- 23 アンドゲート
- 24 最大値レジスタ
- 25 アンドゲート
- 26 比較器
- 27 ラッチ

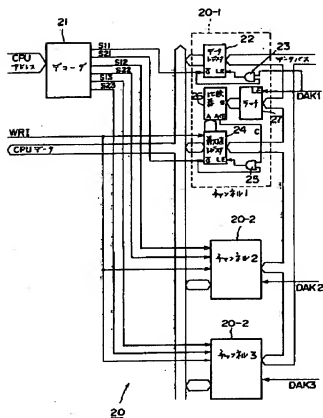
Figure 1 is a block diagram of a CPU system. The CPU (1) includes a CPU bus (1-1), CPU (1-2), and CPU (1-3). It is connected to a DMA controller (2) via a DMA bus (2-1). The DMA controller (2) includes a DMA controller (2-1), DMA controller (2-2), and DMA controller (2-3). It is connected to a ROM (3) via a ROM bus (3-1). The ROM (3) includes a ROM (3-1), ROM (3-2), and ROM (3-3). It is connected to a RAM (4) via a RAM bus (4-1). The RAM (4) includes a RAM (4-1), RAM (4-2), and RAM (4-3). It is connected to a keyboard (5) via a keyboard bus (5-1). The keyboard (5) includes a keyboard (5-1), keyboard (5-2), and keyboard (5-3). It is connected to a display (6) via a display bus (6-1). The display (6) includes a display (6-1), display (6-2), and display (6-3). It is connected to a printer (7) via a printer bus (7-1). The printer (7) includes a printer (7-1), printer (7-2), and printer (7-3). It is connected to a modem (8) via a modem bus (8-1). The modem (8) includes a modem (8-1), modem (8-2), and modem (8-3). It is connected to a network (9) via a network bus (9-1). The network (9) includes a network (9-1), network (9-2), and network (9-3). It is connected to a storage (10) via a storage bus (10-1). The storage (10) includes a storage (10-1), storage (10-2), and storage (10-3). It is connected to a power supply (11) via a power supply bus (11-1). The power supply (11) includes a power supply (11-1), power supply (11-2), and power supply (11-3). It is connected to a ground (12) via a ground bus (12-1). The ground (12) includes a ground (12-1), ground (12-2), and ground (12-3).



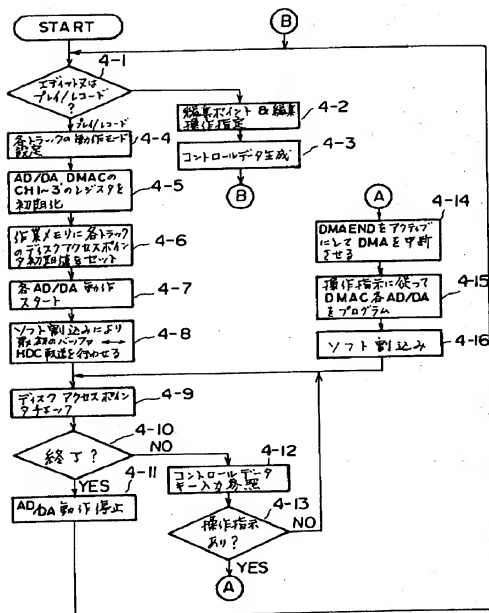
【图2】



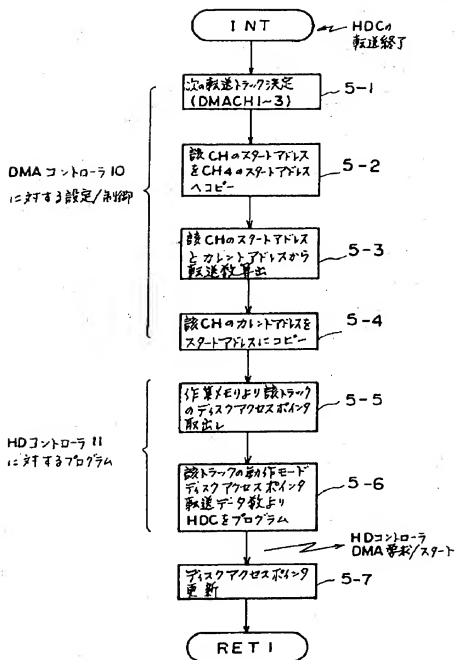
【图 3】



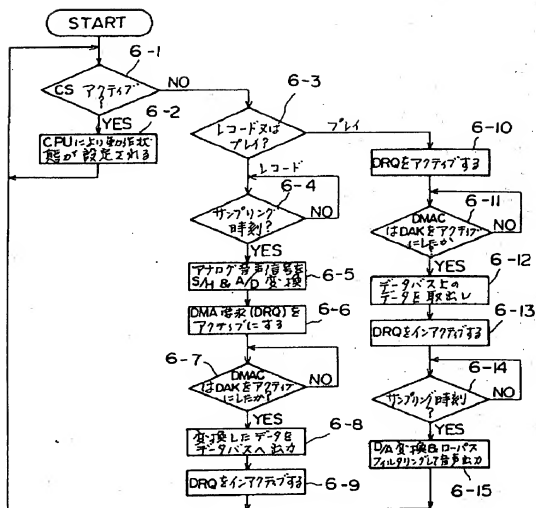
【図4】



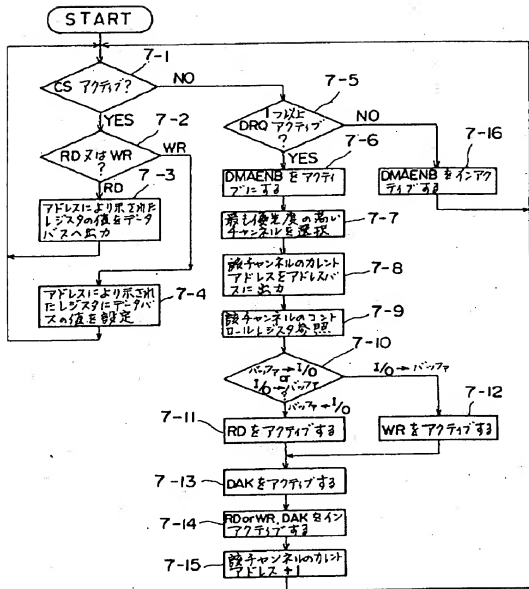
【図5】



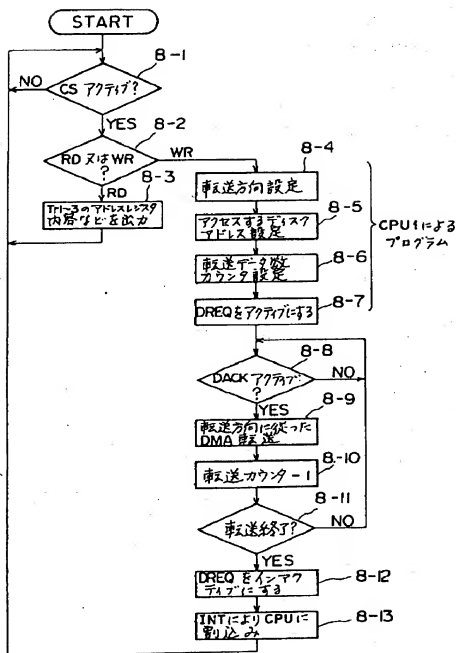
【図6】



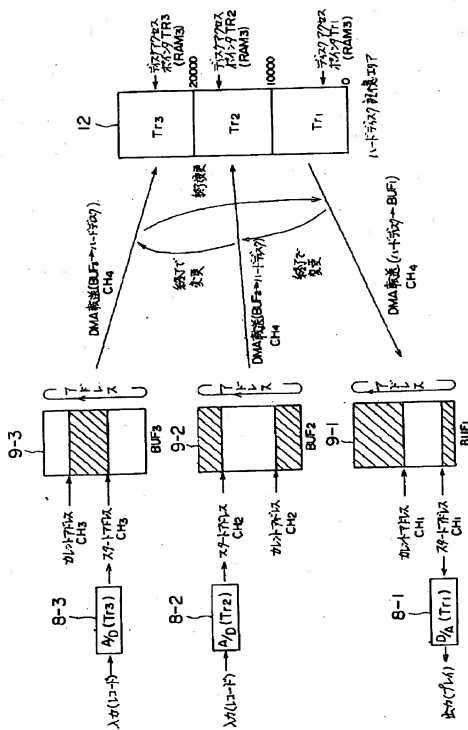
【図7】



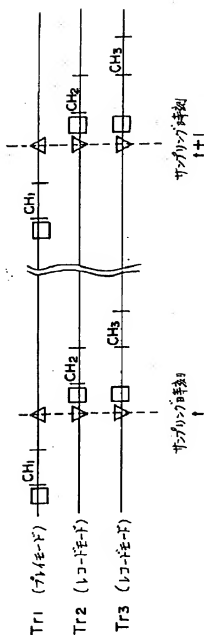
【図8】



【図9】



【図10】



【図11】

